

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

DIALOG(R)File 351:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

See us 6034982

011695570 **Image available**

WPI Acc No: 1998-112480/199811

XRPX Acc No: N98-090141

Semiconductor laser array for optical interconnection - has array of
laser active sections electrically separated from each other, each having
opposing electrode overlying active layer, bonded to common electrode
layer in junction-down structure

Patent Assignee: FURUKAWA ELECTRIC CO LTD (FURU)

Inventor: IWASE M

Number of Countries: 025 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 823760	A2	19980211	EP 97113502	A	19970805	199811 B
JP 10051078	A	19980220	JP 96223110	A	19960806	199818
US 6034982	A	20000307	US 97905645	A	19970804	200019

Priority Applications (No Type Date): JP 96223110 A 19960806

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 823760	A2	E	8	H01S-003/25	
-----------	----	---	---	-------------	--

Designated States (Regional): AL AT BE CH DE DK ES FI FR GB GR IE IT LI
LT LU LV MC NL PT RO SE SI

JP 10051078	A		6	H01S-003/18	
-------------	---	--	---	-------------	--

US 6034982	A			H01S-003/19	
------------	---	--	--	-------------	--

Abstract (Basic): EP 823760 A

The array includes a common electrode layer (16) formed on a submount (12) and an array of several laser active sections (18) electrically separated from each other. Each section has a laser active layer and an opposing electrode (20) overlying this layer.

The laser active sections are bonded onto the common electrode layer in a junction down structure, and are of a buried hetero-junction structure. The common electrode layer and the opposing electrode function as a p-side electrode and an n-side electrode respectively.

USE - For optical communications system and in information processing system.

ADVANTAGE - Epitaxial growth of layers of laser active section forming high reflectance layer can be well controlled to give efficient coupling of laser active section with optical fibres.

Dwg.3/6

Title Terms: SEMICONDUCTOR; LASER; ARRAY; OPTICAL; INTERCONNECT; ARRAY;
LASER; ACTIVE; SECTION; ELECTRIC; SEPARATE; OPPOSED; ELECTRODE; OVERLIE;
ACTIVE; LAYER; BOND; COMMON; ELECTRODE; LAYER; STRUCTURE

Derwent Class: U12; V08

International Patent Class (Main): H01S-003/18; H01S-003/19; H01S-003/25

International Patent Class (Additional): H01L-021/20; H01L-027/15;

H01L-033/00; H01S-003/00; H01S-003/025

File Segment: EPI

Manual Codes (EPI/S-X): U12-A01B1A; U12-A01B1J; U12-A01B2; U12-A01B3;

V08-A04A; V08-A07

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-51078

(43) 公開日 平成10年(1998) 2月20日

(51) Int.Cl. ⁸	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 S 3/18			H 0 1 S 3/18	
H 0 1 L 27/15			H 0 1 L 27/15	C

審査請求 未請求 請求項の数 6 F D (全 6 頁)

(21) 出願番号 特願平8-223110

(22) 出願日 平成8年(1996) 8月6日

(71) 出願人 000005290

古河電気工業株式会社

東京都千代田区丸の内2丁目6番1号

(72) 発明者 岩瀬 正幸

東京都千代田区丸の内2丁目6番1号 古

河電気工業株式会社内

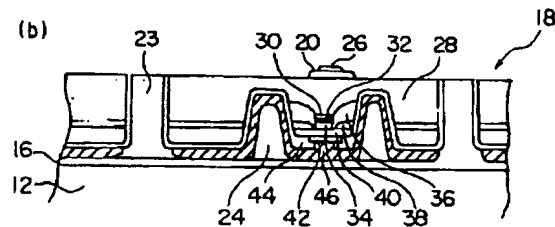
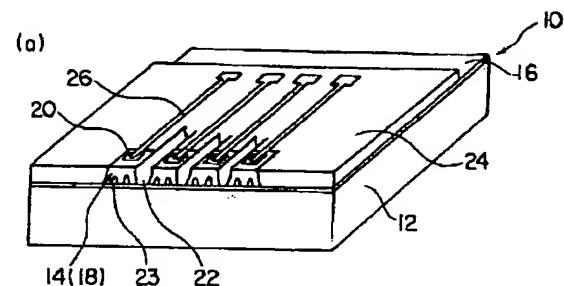
(74) 代理人 弁理士 稲垣 清 (外2名)

(54) 【発明の名称】 半導体レーザアレイ及びその製造方法

(57) 【要約】

【課題】 製造に際し、プロセス制御が容易で、しかも光ファイバーとの光結合が容易な半導体レーザアレイ及びその製造方法を提供する。

【解決手段】 本半導体レーザアレイ 10 は、サブマウント 12 と、サブマウント上にアレイ状に配置された複数の半導体レーザ 14 とから構成されている。サブマウントは共通の p 側電極 16 を上層に備え、各半導体レーザは共振器部 18 と n 側電極 20 とが分離溝 22 により電気的に相互に分離され、かつ p 側電極がジャンクションダウン状態でサブマウントの p 側電極上にボンディングされて電気的に接続され、相互に独立に動作する。アレイの周りは、光透過性が高く、透湿性の低い樹脂層 24 で包囲されており、その高さは半導体レーザと同じ高さである。樹脂層の一部を取り除いた領域に、p 側電極が露出している。半導体レーザは、n-I n P 基板の B H-L D として構成され、寄生容量低減のための溝 23 を有し、n 側電極 20 から信号用のリード線 26 が樹脂層 24 上に延在している。



【特許請求の範囲】

【請求項1】 相互に独立に動作する複数個の半導体レーザがサブマウント上にアレイ状に配置されている半導体レーザアレイにおいて、

サブマウントが半導体レーザアレイの共通電極面を上層に備え、

各半導体レーザは、相互に独立に動作するように、共振器部と共振器に電圧を印加する一方の電極とが分離溝により電気的に相互に分離され、かつ他方の電極が半導体レーザのジャンクションダウン状態でサブマウントの共通電極面上にボンディングされて電気的に接続されていることを特徴とする半導体レーザアレイ。

【請求項2】 各半導体レーザが、n型基板上に形成された埋め込みヘテロ接合型レーザ(BH-LD)として構成され、各半導体レーザの上記一方及び他方の電極がそれぞれn側電極及びp側電極として形成され、各半導体レーザを駆動するための信号線がn側電極から取り出されていることを特徴とする請求項1に記載の半導体レーザアレイ。

【請求項3】 半導体レーザアレイの周囲が、光透過性が高く、透湿性の低い樹脂で包囲されていることを特徴とする請求項1から2のうちのいずれか1項に記載の半導体レーザアレイ。

【請求項4】 相互に独立に動作する複数個の半導体レーザがサブマウント上にアレイ状に配置されている半導体レーザアレイの製造方法において、

各共振器部と共振器に電圧を印加する一方の電極とが分離溝により電気的に分離された複数個の半導体レーザをアレイ状に半導体基板上に形成する形成工程と、

形成工程で形成したレーザアレイ形成体の半導体基板を上方向け、かつ一方の電極を下方に向けたジャンクションダウン方式でレーザアレイ形成体をサブマウントの電極面にボンディングするボンディング工程と、

レーザアレイ形成体の半導体基板を研磨して分離溝を表出させ、サブマウントにボンディングされたレーザアレイ形成体の各半導体レーザを相互に分離溝により分離する研磨工程とを備えることを特徴とする半導体レーザアレイの製造方法。

【請求項5】 サブマウント上にボンディングされたレーザアレイ形成体を覆うように光透過性が高く、かつ透湿性の低い樹脂でコーティングするコーティング工程をボンディング工程と研磨工程との間に備え、

研磨工程においてコーティングされた樹脂をレーザアレイ形成体の半導体基板と共に研磨することを特徴とする請求項4に記載の半導体レーザアレイの製造方法。

【請求項6】 ボンディングする工程と樹脂コーティング工程との間に高反射膜をレーザ端面に形成する高反射膜の成膜工程を有することを特徴とする請求項5に記載の半導体レーザアレイの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体レーザアレイ及びその製造方法に関し、更に詳細には、光通信分野や情報処理分野の光インターコネクションに最適な半導体レーザアレイ及びその製造方法に関するものである。

【0002】

【従来の技術】近年、コンピュータのチャネル間伝送や、ATM交換機などの分野で、光パラレルリンクによるインターコネクションが注目されていて、それに必要な半導体レーザアレイ或いは受光素子アレイは、光パラレルリンク・システムのキーデバイスとして重要視されている。従来、半導体レーザアレイは高速のドライブ回路を必要としているので、NPNトランジスタがドライブ回路に使用されている。従って、p側電極をコモン電極とする半導体レーザアレイが、一般的である。

【0003】以下に、図4を参照して、従来の半導体レーザアレイの構成を説明する。図4(a)は従来の半導体レーザアレイの斜視図で、図4(b)は図4(a)に示す半導体レーザアレイの各半導体レーザの層構造を示す模式図である。従来の半導体レーザアレイ50では、図4(a)に示すように、分離溝54により電気的に分離され、相互に独立に動作する複数個の半導体レーザ52が、共通の金属製キャリア(図示せず)上にサブマウント56を介してジャンクションアップ方式でボンディングされている。各半導体レーザ52のn側電極58は、分離溝54により分離された各半導体レーザ領域の上面に設けられ、p側電極60は、サブマウント56上に共通の電極面として設けられている。

【0004】各半導体レーザアレイの共振器部は、例えば、図4(b)に示すように、p-InPからなる基板62上に、p-InPクラッド層64、歪MQW活性層66及びn-InPクラッド層68を備え、その両側は、下層のp-InP埋め込み層70、中間のn-InPブロック層72及び上層のp-InPブロック層74により挟まれ、埋め込まれている。更に、その上部は、n-InPコンタクト層76が設けられ、半導体レーザアレイ全面が、n側電極58を除いてパッシベーション層78で覆われている。各半導体レーザ52の共振器長は、図4(a)に示すように、200 μ m、各半導体レーザ52間のピッチは250 μ mである。また、半導体レーザ52の両端面には、反射率90%以上の反射膜が形成されている。

【0005】半導体レーザアレイ50と光ファイバーとを結合する際には、通常、半導体レーザ52を発光させ、最大の結合効率を得られる位置で半導体レーザ52と光ファイバーとを固定するという方法がとられている。一般には、光ファイバーは、半導体レーザの金属パッケージの一部に固定される。

【0006】

【発明が解決しようとする課題】しかし、上述した従来

型の半導体レーザアレイには、以下の問題があった。

(1) 半導体レーザアレイは、複数の半導体レーザ（以下、簡単にLDと言う）を集積しているので、消費電力を抑制することが重要である。そこで、しきい値電流を低い値にすることが必要であるから、LD構造として埋込みヘテロ接合型構造（BH構造）が採用されている。p型基板を用いたBH型のLDの場合、図4（b）に示すような電流ブロック構造を必要とするため、n-InPブロッキング層72がn-InPクラッド層68に接近している。しかし、実際には、n-InPクラッド層68に接触しないように制御して、n-InPブロッキング層72をエピタキシャル成長させることは難しいという問題があった。また、亜鉛（Zn）をp型のドーパントに使うために、エピタキシャル成長中にZnが再拡散するために、デバイス性能のばらつきが生じるなど製造工程中のプロセス制御が難しいという問題があった。

(2) 半導体レーザアレイでは、低しきい値電流化のために共振器長を200μm以下に短くし、かつミラー損失を低減するために高反射膜をLD端面に形成することが必要である。しかし、このような短共振器レーザでは、高反射膜形成時に高反射膜が電極面に回り込むために、ボンディングに支障が生じるという問題があった。

(3) サブマウントを介してキャリア上にジャンクションアップでp型BH-LDをボンディングしている従来の半導体レーザアレイでは、LDの基板の厚さにばらつきが生じているために、どうしても発光部の高さにばらつきが生じる。従って、光ファイバとの結合の際には、LDを発光させて調芯を行う必要があって、光ファイバとの結合が容易ではないという問題があった。若し、基板厚さを1μm以下の精度で制御できれば、キャリア上面を基準にして発光部の高さを規定することができるが、実際には、基板の研磨工程で基板厚さを高精度で制御することは困難である。

【0007】上記問題点に照らして、本発明の目的は、共振器部のエピタキシャル成長制御及び高反射膜の成膜制御が容易で、しかも光ファイバとの光結合が容易な半導体レーザアレイ及びその製造方法を提供することである。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明に係る半導体レーザアレイは、相互に独立に動作する複数の半導体レーザがサブマウント上にアレイ状に配置されている半導体レーザアレイにおいて、サブマウントが半導体レーザアレイの共通電極面上層に備え、各半導体レーザは、相互に独立に動作するように、共振器部と共振器に電圧を印加する一方の電極とが分離溝により電気的に相互に分離され、かつ他方の電極が半導体レーザのジャンクションダウン状態でサブマウントの共通電極面上にボンディングされて電気的に接続

されていることを特徴としている。

【0009】本発明の好適な実施態様は、サブマウントがヒートシンクを兼ねている。更に、好適には、各半導体レーザが、n型基板上に形成された埋め込みヘテロ接合型レーザ（BH-LD）として構成され、各半導体レーザの上記一方及び他方の電極がそれぞれn側電極及びp側電極として形成され、各半導体レーザを駆動するための信号線がn側電極から取り出されている。即ち、本実施態様では、半導体レーザとして、n型基板を使用したBH-LDを使用し、p側電極をコモンにするためにサブマウントにジャンクションダウン方式でボンディングしている。更に好適には、半導体レーザアレイの周囲が、半導体レーザから出射されるレーザ光を高い光透過性で透過し、かつ低透湿性の樹脂で包囲されている。

【0010】本発明に係る半導体レーザアレイを製造する方法は、相互に独立に動作する複数の半導体レーザがサブマウント上にアレイ状に配置されている半導体レーザアレイの製造方法において、各共振器部と共振器に電圧を印加する一方の電極とが分離溝により電気的に分離された複数の半導体レーザをアレイ状に半導体基板上に形成する形成工程と、形成工程で形成したレーザアレイ形成体の半導体基板を上方に向け、かつ一方の電極を下方に向けたジャンクションダウン方式でレーザアレイ形成体をサブマウントの電極面にボンディングするボンディング工程と、レーザアレイ形成体の半導体基板を研磨して分離溝を表出させ、サブマウントにボンディングされたレーザアレイ形成体の各半導体レーザを相互に分離溝により分離する研磨工程とを備えることを特徴としている。本発明方法では、半導体レーザのエピタキシャル層側から溝を形成し、サブマウントにジャンクションダウン方式でボンディング後にレーザの基板を研磨して、分離溝を表出させ、各半導体レーザを分離している。

【0011】好適には、サブマウント上にボンディングされたレーザアレイ形成体を樹脂で覆うように樹脂をコーティングするコーティング工程をボンディング工程と研磨工程との間に備え、研磨工程においてコーティングされた樹脂をレーザアレイ形成体の半導体基板と共に研磨する。更に、ボンディング工程と研磨工程との間に、サブマウント上にボンディングされたレーザアレイ形成体を覆うように光透過性が高く、かつ透湿性の低い樹脂でコーティングするコーティング工程を備え、研磨工程においてコーティングされた樹脂をレーザアレイ形成体の半導体基板と共に研磨する。また、ボンディングする工程と樹脂コーティング工程との間に高反射膜をレーザ端面に形成する高反射膜の成膜工程を設けても良い。

【0012】本発明では、以上の構成により、p型基板層構造によるZn拡散の影響がないので、半導体レーザの間で性能のばらつきがなく、しかもp側電極をコモン

にしたNPNTトランジスタ駆動による高速の半導体レーザアレイを実現することができる。また、エピタキシャル層を均一な膜厚に制御できるので、サブマウント上面から発光点までの距離は一定であり、サブマウント上面を基準面として発光点の高さを規定できるので、高い寸法精度に基づいて半導体レーザアレイと光ファイバとを無調芯接続することができる。サブマウントにボンディングした後に、半導体レーザアレイ全体を一括して端面に高反射膜を形成しているの、回り込んだ高反射膜を研磨工程で除去できる。従って、従来の半導体レーザアレイのような高反射膜の回りこみによる障害が発生しない。

【0013】

【発明の実施の形態】以下に、実施例を挙げ、添付図面を参照して、本発明の実施の形態を具体的かつ詳細に説明する。

半導体レーザアレイの実施例

本実施例は、本発明に係る半導体レーザアレイの一例を示す実施例である。図1(a)は本実施例の半導体レーザアレイの斜視図及び図1(b)は半導体レーザの層構造図である。本実施例の半導体レーザアレイ10は、図1(a)に示すように、サブマウント12と、サブマウント12上にアレイ状に配置され、相互に独立に動作する複数の半導体レーザ(図1(a)では4個の半導体レーザを図示している)14とから構成されている。サブマウント12は、共通電極面16をp側電極として上層に備えている。各半導体レーザ14の共振器部18とn側電極20とは深さ20~50 μ mの分離溝22により電氣的に相互に分離され、かつp側電極はジャンクションダウン状態でサブマウント12の共通電極面16上にボンディングされて電氣的に接続され、これにより各半導体レーザ14は相互に独立に動作する。半導体レーザ14のアレイの周りは、光透過性が高く、透湿性の低い樹脂層24、例えば透明ポリイミド、フッ化物ポリイミド等のポリイミドで包囲されており、樹脂層24の高さは半導体レーザ14の高さと同じ高さである。樹脂層24の一部を取り除いた領域に、サブマウント12上のコモンp側電極16が露出している。また、半導体レーザ14の端面には高反射膜(図示せず)が形成されている。

【0014】半導体レーザ14は、分離溝22により分離されたn-InP基板を用いたBH-LDとして構成され、寄生容量低減のための溝23を有する。また、各半導体レーザ14のn側電極20から信号用のリード線26が樹脂層24上に延在している。尚、リード線26の厚さ及び幅は、特性インピーダンスが50 Ω になるように設定されている。

【0015】半導体レーザ14の共振器部18は、図1(b)に示すように、n-InPからなる基板28上に、n-InPクラッド層30、歪MQW活性層32及

びp-InPクラッド層34を備え、その両側は、下層のn-InP埋め込み層36、上層のp-InPブロック層38により挟まれ、埋め込まれている。その上部は、p-InPコンタクト層40及びp側電極42が設けられ、更にその上全面にp側電極42を除いてパッシベーション層44で覆われ、更にp側電極42と電氣的導通する金属製のコンタクト電極46で被覆されている。コンタクト電極46は、サブマウント12上のコモンp側電極16に接合されている。但し、図1(b)では、共振器部18がサブマウント12上にジャンクションダウン方式でボンディングされた状態を示しているの、図示した層構成は、上の説明と上下逆になっている。

【0016】本実施例は、p型基板構造によるZn拡散の影響がなく、半導体レーザの間で性能にばらつきのなく、しかもp側電極をコモンにしたNPNTトランジスタ駆動の高速半導体レーザアレイを実現している。また、樹脂層により半導体レーザの端面が保護されている。更には、 $\sim 10^{-3}$ 程度の低誘電正接の材料を用いることにより、信号用リード線の特性インピーダンスを考慮した設計が可能になる。

【0017】製造方法の実施例

本実施例は、図1に示した半導体レーザアレイを製造する本発明に係る製造方法の一例である。先ず、図2に示すような、分離溝22により電氣的に分離された複数の半導体レーザ14をn型基板28上にアレイ状に形成したレーザアレイ形成体48を作製する。レーザアレイ形成体48の構成は、図1(b)で説明した構成と同じである。

【0018】次いで、図3(a)に示すように、コモンp側電極16が形成されているサブマウント12上にレーザアレイ形成体48をジャンクションダウン方式でコンタクト電極46とp側電極16とが接合するようにボンディングする。次に、高反射膜を端面に形成し、その後、図3(b)に示すように、レーザアレイ形成体48及びサブマウント12全面に光透過性が高く、透湿性の低い樹脂を塗布してレーザアレイ形成体48の厚さより厚い樹脂層24を形成する。樹脂材料として、透明エポキシ、フッ化物ポリイミド等のポリイミドなどがある。樹脂は、次に行う研磨工程で半導体レーザに与える衝撃を和らげる働きをするとともに、研磨後には半導体レーザの保護および配線リードを形成する絶縁膜の働きを持たせることができる。次いで、図3(c)に示すように、樹脂層24及びレーザアレイ形成体48を研磨して、分離溝22を表出し、半導体レーザ14を分離する。更に、図3(d)に示すように、研磨により分離された半導体レーザ14の基面にn側電極20をそれぞれ形成し、信号用リード線26の引き出し電極を設け、更にリード線26を形成する。樹脂層24の一部を取り除くことにより、コモンp側電極16を露出させる。

以上の工程を経て、図1に示す半導体レーザアレイ10を作製することができる。また、研磨後、樹脂を除去し、再度、樹脂層を形成することにより、分離溝中へ樹脂の進入を完全に行うことができる。

【0019】本製造方法によれば、エピタキシャル層を均一な膜厚に制御できるので、サブマウント上面から発光点までの距離は一定であり、サブマウント上面を基準面として発光点の高さを規定できるので、高い寸法精度の基づいて半導体レーザアレイと光ファイバとを無調芯接続することができる。サブマウントにボンディングした後に、半導体レーザアレイ全体を一括して端面に高反射膜を形成しているため、回り込んだ高反射膜を研磨工程で除去できる。従って、従来の半導体レーザアレイのような高反射膜の回りこみによる障害が発生しない。

【0020】尚、上述の例では、複数の半導体レーザをアレイ状に備えたレーザアレイ形成体をボンディングする例を説明したが、単体のレーザを一括してサブマウント上にボンディングする場合にも適用可能である。

【0021】

【発明の効果】本発明によれば、製造に際しプロセス制御の困難なp型基板半導体レーザに代えて、プロセス制御が容易なn型基板半導体レーザにより半導体レーザアレイを構成しているため、半導体レーザ間で性能のばらつきがない均一な性能で、しかもNPNトランジスタ駆動の高速動作性能を有する半導体レーザアレイを実現できる。また、半導体レーザをジャンクションダウン方式でサブマウント上にボンディングし、発光点の高さが精度良く制御されているため、光ファイバーとの結合に際し、無調芯接続することができる。また、ボンディングの後、基板を研磨することにより、高反射膜コーティングのまわりこみの問題も解決される。

【図面の簡単な説明】

【図1】図1(a)及び(b)は、それぞれ、本発明に係る半導体レーザアレイの実施例の斜視図及び半導体レーザの層構造図である。

【図2】レーザアレイ形成体の層構造を示す模式図である。

【図3】図3(a)から(d)は、それぞれ、本発明方法の実施の際の各工程毎の断面図である。

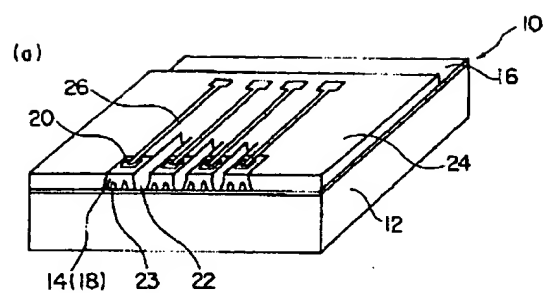
【図4】図4(a)及び(b)は、それぞれ、従来の半

導体レーザアレイの斜視図及び半導体レーザの層構造図である。

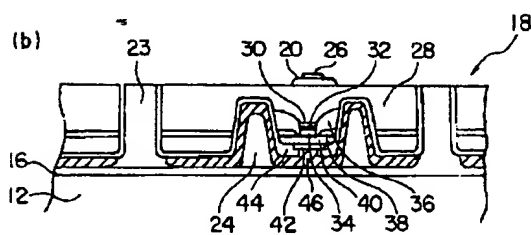
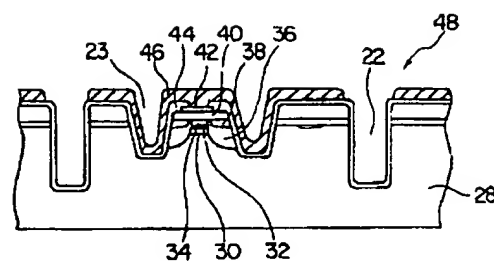
【符号の説明】

- 10 本発明に係る半導体レーザアレイの実施例
- 12 サブマウント
- 14 半導体レーザ
- 16 p側電極
- 18 共振器部
- 20 n側電極
- 22 分離溝
- 23 寄生容量低減のための溝
- 24 樹脂層
- 26 リード線
- 28 基板
- 30 n-InPクラッド層
- 32 歪MQW活性層
- 34 p-InPクラッド層
- 36 n-InP埋め込み層
- 38 p-InPブロック層
- 40 p-InPコンタクト層
- 42 p側電極
- 44 パッシベーション層
- 46 コンタクト電極
- 48 レーザアレイ形成体
- 50 従来の半導体レーザアレイ
- 52 半導体レーザ
- 54 分離溝
- 56 サブマウント
- 58 n側電極
- 60 p側電極
- 62 基板
- 64 p-InPクラッド層
- 66 歪MQW活性層
- 68 n-InPクラッド層
- 70 p-InP埋め込み層
- 72 n-InPブロック層
- 74 p-InPブロック層
- 76 n-InPコンタクト層
- 78 パッシベーション層

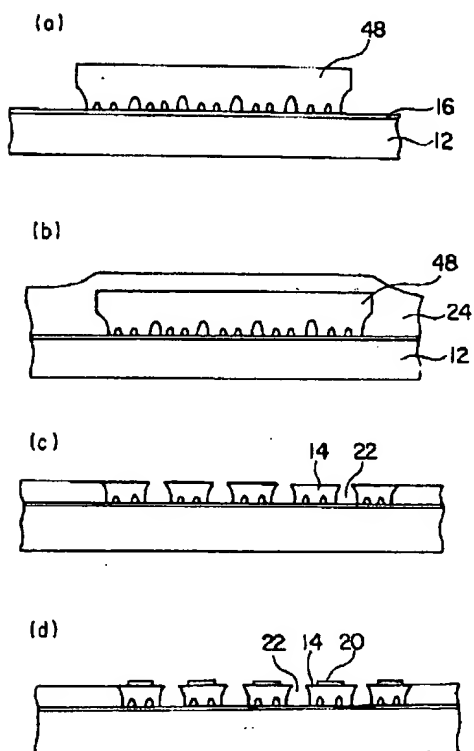
【図1】



【図2】



【図3】



【図4】

